

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2546223号

(45) 発行日 平成 8 年(1996) 10月23日

(24) 登録日 平成 8 年(1996) 8 月 8 日

| (51) Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|---------------------------|-------|--------|---------------|---------|
| G 1 1 B 19/06 | 5 0 1 | | G 1 1 B 19/06 | 5 0 1 C |
| H 0 2 P 5/41 | 3 0 2 | | H 0 2 P 5/41 | 3 0 2 Z |
| H 0 3 K 3/033 | | | H 0 3 K 3/033 | |

請求項の数 2 (全 8 頁)

| | | | |
|-----------|---------------------|-----------|---|
| (21) 出願番号 | 特願平3-104921 | (73) 特許権者 | 000004329 日本ビクター株式会社 神奈川県横浜市神奈川区守屋町 3 丁目12 番地 |
| (22) 出願日 | 平成 3 年(1991) 2 月28日 | (72) 発明者 | 岩井 広 神奈川県横浜市神奈川区守屋町 3 丁目12 番地 日本ビクター株式会社内 |
| (65) 公開番号 | 特開平4-274052 | (74) 代理人 | 弁理士 下田 容一郎 (外 1 名) |
| (43) 公開日 | 平成 4 年(1992) 9 月30日 | 審査官 | 菅澤 洋二 |
| | | (56) 参考文献 | 特開 平 1 - 300489 (J P, A) 特開 昭62-31064 (J P, A) 特開 昭63-14373 (J P, A) 特開 昭63-281268 (J P, A) 特開 平 3 - 12063 (J P, A) 実開 昭60-155046 (J P, U) |

(54) 【発明の名称】 タイミング調整装置

1

(57) 【特許請求の範囲】

【請求項 1】 基準時間を発生する基準時間発生手段と、第 1 の電流を発生する第 1 の電流源と、可変抵抗器の抵抗値に応じた大きさの第 2 の電流を発生する第 2 の電流源と、前記基準時間発生手段で発生した基準時間にコンデンサを前記第 1 の電流源で発生した電流で放電（充電）した後、前記第 2 の電流源で発生した電流でこのコンデンサを再び充電（放電）するよう制御する充放電制御手段と、前記コンデンサの端子電位に応じたタイミングの出力インデックス信号を発生する信号発生手段とを備えたことを特徴とするタイミング調整装置。

【請求項 2】 モータの回転速度に対応する周波数の F G 信号に基づいて基準周波数信号発生手段で発生させた基準周波数信号を計数するカウンタを備えこのカウンタの計数値に応じた速度制御信号を出力する速度制御回路

2

と、この速度制御回路の出力に応じてモータを回転駆動する駆動回路とを備え、基準時間発生手段はそのカウンタの計数値に基づいて基準時間を発生するようにしたことを特徴とする請求項 1 記載のタイミング調整装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、フロッピーディスク装置（以下、FDD と称する）やハードディスク装置（以下、HDD と称する）等の磁気ディスク装置や光ディスク装置のインデックス信号や、ビデオテープレコーダ（VTR）の PG 信号等のタイミング調整装置に関するものである。

【0002】

【従来の技術】 従来から例えば FDD 等の磁気ディスク装置では、ディスク 1 回転に 1 パルスのインデックス信

号を発生させ、記録トラックの書き始めを決めるようにしている。このインデックス信号のタイミングは、ディスクの互換性を取れるようディスクの特定の回転角度位置で発生させなければならない、例えば3.5インチのFDDの場合、温度、経時変化等を含めて基準値に対して $\pm 0.72^\circ$ ($\pm 400 \mu \text{sec}$)の許容範囲に入れる必要がある。しかし、ディスクの回転に応じてインデックス信号を発生するインデックス信号発生手段の取り付け精度は、通常 $\pm 2^\circ$ 程度の誤差が見込まれることから、最終的には、インデックス信号をタイミング調整装置を用いて誤差の補正をして必要な精度を得ている。

【0003】以下に、この従来のインデックス信号のタイミング調整装置の説明をする。図9は従来のタイミング調整装置の回路図、図10はその動作を示すフローチャートである。このタイミング調整装置100は、トランジスタQ41、抵抗R41～R45、コンデンサC41およびコンパレータCMP41で構成し、抵抗41と*

$$V_c = V_{DD} \cdot (1 - \exp(-t / (C41 \cdot R41))) \quad (1)$$

【0005】また、コンパレータCMP41は、閾値となる抵抗R44およびR45の分圧比で定まる基準電位V1とコンデンサC41の電位Vcとを比較し、V1 < Vcの部分では、出力インデックス信号をLレベルとす*

$$T_d = -C41 \cdot R41 \cdot \ln(1 - V1 / V_{DD}) \quad (2)$$

すなわち、有効な前縁のタイミングは、遅延時間Td1の変化によって調整される。式2に示されるように、遅延時間Td1は抵抗R41の抵抗値に比例するから、この抵抗R41を可変とすれば、出力インデックス信号の有効な前縁のタイミングを調整することができるタイミング調整装置が容易に構成できることとなる。

【0006】

【発明が解決しようとする課題】しかし、式2に示されるように、遅延時間Td1はコンデンサC41の値にも比例するから、このコンデンサC41の値が、例えば温度特性や経時変化等により変化すると遅延時間Td1もそれに伴って変化してしまうため、出力インデックス信号の有効な前縁のタイミングも変化してしまう。この出力インデックス信号のタイミングの変化が、前述した許容範囲を超えて大きくなってしまうと、ディスクの互換性を取れなくなってしまう。また、インデックス信号のタイミングは、ディスクの回転角度位置で規定されているので、遅延時間Td1は、ディスクの回転速度に反比例して変える必要があるが、ディスクの回転速度を300rpmと360rpmで切り換えて用いるためには、閾値である基準電位V1も切り換える必要がある。しかし、高い精度で必要な基準電位V1を切り換えることは制御技術をもってしても難しく、回転速度を切り換えたときの出力インデックス信号のタイミング誤差が大きくなってしまふ問題がある。本発明は、このような課題を解決するためなされたもので、その目的は温度や経時変化に対して安定であるタイミング調整装置を提供するこ

* コンデンサC41で決る時定数で入力インデックス信号を遅延させるようにしている。タイミング調整の具体的な方法は、抵抗R41を可変として遅延時間を調整することにより行なっている。

【0004】インデックス信号発生手段で発生したタイミング調整装置100の入力インデックス信号は、能動状態のときLレベルとなる負論理の信号であり、その前縁が有効タイミングである。すなわち、このインデックス信号がHレベルである期間においては、トランジスタQ41を導通してコンデンサC41の電荷を放電し、コンデンサC41の端子電位をほぼ零にする。一方、入力インデックス信号がLレベルである期間、すなわち有効なタイミングの前縁から後縁までの期間においては、トランジスタQ41は非導通となり、コンデンサC41は抵抗R41によって充電されて、コンデンサC41の端子電位Vcは前縁からの経過時間をtとすれば、式1に示されるような変化をする。

※。この結果、入力インデックス信号の前縁から式2で示される遅延時間Td1後に出力インデックス信号の前縁が現れ、入力インデックス信号の後縁の直後に出力インデックス信号の後縁が現れる。

とにある。

【0007】

【課題を解決するための手段】前記課題を解決するため本発明に係るタイミング調整装置は、基準時間を発生する基準時間発生手段と、第1の電流を発生する第1の電流源と、可変抵抗器の抵抗値に応じた大きさの第2の電流を発生する第2の電流源と、前記基準時間発生手段で発生した基準時間にコンデンサを前記第1の電流源で発生した電流で放電(充電)した後、前記第2の電流源で発生した電流でこのコンデンサを再び充電(放電)するように制御する充放電制御手段と、前記コンデンサの端子電位に応じたタイミングの出力インデックス信号を発生する信号発生手段とを備えた。

【0008】

【作用】本発明に係るタイミング調整装置は、出力インデックス信号の遅延時間を基準時間と抵抗の比によって決定し、その発生タイミングをディスクの回転角度位置と等価とする。

【0009】

【実施例】以下、本発明の実施例を添付図面に基づいて説明する。図1は本発明の第1実施例に係るタイミング調整装置のブロック構成図、図2はその回路図、図3はその動作を示すタイミングチャートである。タイミング調整装置1は、第1の電流源2、基準時間発生手段3、第2の電流源4、可変抵抗VR1、充放電制御手段5、コンデンサC21および信号発生手段6で構成する。なお、この実施例ではコンデンサC21の一端は接地され

ているが、これに限らず安定した電位に接続されていればよい。

【0010】この構成における動作原理をタイミングチャートを用いて説明する。コンデンサC21の端子電位Vcは、初期は基準電位V1に充電されている。次に、*

$$\Delta V = T_{c1} \cdot I_1 / C_{21}$$

【0011】その後、入力インデックス信号がLレベルの期間、第2の電流源4の抵抗VR21の抵抗値に依り※

$$T_{d2} = \Delta V \cdot C_{21} / I_2$$

ここで、式4を式3に代入すると式5が得られる。

$$T_{d2} = T_{c1} \cdot I_1 / I_2$$

すなわち、充電に要する時間Td2は、基準時間Tc1と、温度や経時変化に対して値が安定している電流I1と、同様に値が安定している抵抗VR21によって決定される電流I2との比で定まり、コンデンサC21の値に影響されないこととなる。

【0012】基準周波数信号であるクロック信号fcは、ナンドゲートG21の一方の入力端子、DタイプのフリップフロップF21およびF22に供給される。同時に、このフリップフロップF21およびF22には、20 入力インデックス信号も供給され、その出力信号はアンドゲートG22に入力する。このアンドゲートG22では、所定条件の下に入力インデックス信号前縁に同期したクロック信号fcの1周期幅のリセット信号を生成し、カウンタCNT21のリセット端子Rに供給する。このカウンタCNT21の8番目の出力端子O8の出力信号がインバータI21で反転してナンドゲートG21の他方の入力端子に供給される。従って、インバータI★

$$I_{28} = R_{23} \times V_{DD} / ((R_{22} + R_{23}) \times R_{26}) \quad (6)$$

【0014】また、第2の電流源4は、トランジスタQ30とR21で構成されており、トランジスタQ33のコレクタから式7に示される電流I33が出力される。

$$I_{33} = R_{28} \times V_{DD} / ((R_{27} + R_{28}) \times VR_{21}) \quad (7)$$

ここで、 $R_{23} / (R_{22} + R_{23}) = R_{28} / (R_{27} + R_{28})$ に設定すると、式(6)および式(7)が◆

$$I_{33} = I_{28} \times R_{26} / VR_{21} \quad (8)$$

の関係が導き出され、前述の電流の比は抵抗の比で決定されることが判る。

【0015】また、充放電制御手段5は、トランジスタQ35、Q36および抵抗R31～R34で構成されており、カウンタCNT21の8番目の出力端子O8がLレベルである期間、すなわち基準時間Tc1の間では、トランジスタQ35は非導通となり、第1の電流源2で発生する電流I1でコンデンサC21を放電させ、これ以外の期間、すなわち時間Td2の間では、トランジスタQ36は非導通となり、第2の電流源4で発生する電流I2でコンデンサC21を充電する。

【0016】また、信号発生手段6は、トランジスタQ37、Q38、抵抗R35～R38、アンド回路G23およびインバータI22で構成されており、抵抗R35*

$$T_s = T_{c1} + T_{d2} = T_{c1} \times (1 + VR_{21} / R_{26}) \quad (9)$$

*第1の電流源2で発生した電流I1により入力インデックス信号に基づいて基準時間発生手段3で設定された基準時間Tc1だけ放電することにより端子電位Vcは、電位V2まで式3で示されるΔVだけ低下する。

(3)

※電流I2によって再び基準電位V1まで充電する。この充電に要する時間Td2は、式4で表わされる。

(4)

(5)

★21で反転した信号がHレベルのときには、カウンタCNT21のカウント入力CKには、クロック信号fcが供給される。このカウンタCNT21のカウントが128カウントに達すると、8番目の出力端子O8の出力信号がHレベルとなり、ナンドゲートG21の他方の入力端子にはインバータI21で反転したLレベルの出力信号が供給される。従って、カウンタCNT21のカウント入力CKにはクロック信号fcが供給されなくなり、カウンタCNT21はカウントを停止する。すなわち、入力インデックス信号の前縁から128カウント(基準時間Tc1)の間は、カウンタCNT21の8番目の出力端子O8の出力信号はLレベルであり、これ以外の期間はHレベルとなる。

【0013】第1の電流源2は、トランジスタQ21～Q28および抵抗R22～R26で構成されており、トランジスタQ28のコレクタからエミッタへ式6に示される電流I28が流れる。

30☆R21で構成されており、トランジスタQ33のコレクタから式7に示される電流I33が出力される。

◆ら

*およびR36でトランジスタQ37のベースに一定電位を与える。従って、このベース電位より約0.7ボルト高いエミッタ電位が基準電圧V1となる。コンデンサC21の電位が基準電位V1に達した後も第2電流源で発生した電流がコンデンサC21に流れると、この電流はトランジスタQ37のエミッタを通してコレクタに流れ、トランジスタQ38を駆動する。このトランジスタQ38のコレクタ出力と入力インデックス信号は、入力負論理のアンドゲートG23でアンド動作し、さらに、インバータI22で反転して出力される。

【0017】この結果、入力インデックス信号の前縁から式9で示される遅延時間Tsだけ遅れたタイミングで出力インデックス信号の前縁が現れ、後縁は入力インデックス信号の後縁と同時に現れる。

この9式から、遅延時間 T_s は、抵抗 VR_{21} および R_{26} の抵抗比で決定されコンデンサ C_{21} の影響を受けないことが判る。また、遅延時間 T_s は、基準時間 T_{c1} に比例するので、カウンタ CNT_{21} のカウンタ値やクロック信号の周波数を切り換えることで精度良く遅延時間 T_s を切り換えることができる。

【0018】図4は本発明の第2実施例に係るタイミング調整装置のブロック構成図、図5はこのタイミング調整装置の動作を示すタイミングチャートである。この実施例は、基準周波数信号とFG信号に基いて駆動回路7を駆動してモータ8の回転速度を制御するよう構成しており、この回転速度を制御する速度制御回路9の一部を図6に示す基準時間発生手段10として用いたものである。上記基準周波数信号は、発振回路12および分周比切戻回路13で構成される基準周波数信号発生手段14で生成される。

【0019】モータ8のFG信号は、FG増幅整形回路11で波形整形され、インバータ150で反転され、基準周波数信号と上記基準時間発生手段10の一部をなすカウンタ CNT_{51} および CNT_{52} で構成されるデジタルモノマルチ回路15で速度制御信号に変換され、増幅器、抵抗およびコンデンサで構成されるローパスフィルタ16を介して駆動回路7にフィードバックするよう構成されている。分周比切戻回路13は、カウンタと論理回路で構成され、発振回路12の発振信号およびインバータ153で反転したディスク回転数を指示する信号が入力される。この構成により、モータ8は、所定の回転速度に制御される。

【0020】図7に示すように、基準周波数信号は、セラミックまたは水晶発振器を用いた発振回路12と分周比切戻回路13で生成され、所定の周波数の信号に変換された後、基準時間発生手段10に供給される。この回路構成の場合、基準周波数信号発生手段14で発生する基準周波数信号の周波数はモータ8の所定回転速度に比例して設定される。

【0021】この実施例においては、図6に示すデジタルモノマルチ回路15を構成しているカウンタ CNT_{51} で基準時間を発生させる。図4に示すインバータ152で反転された入力インデックス信号は、図6に示すDタイプのフリップフロップF51に供給され、波形整形されたFG信号と同期化される。このフリップフロップF51の出力信号の立ち下がりエッジでフリップフロップF52をセットする。すなわち、入力インデックス信号が能動状態（換言すればインバータ152の出力信号がHレベル）になった直後のFG信号の立ち上がりエッジで、フリップフロップF52はセットされる。上記フリップフロップF51およびフリップフロップF52で充放電制御手段17を構成する。また、ほぼ同じタイミングで、カウンタ CNT_{51} もリセットされ基準周波数信号のカウンタを開始する。カウンタ CNT_{51} で基準

周波数信号を512カウントすると、出力端子O10の出力信号がHレベルにしてフリップフロップF52をリセットする。

【0022】この結果、図8に示す第1電流源18または第2電流源19へ入力されるフリップフロップF52の出力信号は、カウンタ CNT_{51} が基準周波数信号を512カウントする期間だけLレベルとなり、基準時間 T_{c2} として動作する。フリップフロップF52の出力信号がLレベルの期間、すなわち基準時間 T_{c2} の間は、増幅器A52、トランジスタQ54および抵抗 R_{51} で構成される第1の電流源18が動作し、コンデンサ C_{51} を放電し、コンデンサ C_{51} の端子電位は V_{11} から V_{21} へと低下する。また、フリップフロップF52の出力信号がHレベルの期間、すなわち時間 T_{d3} の間では、増幅器A51、トランジスタQ52および抵抗 VR_{51} で構成される第2の電流源19が動作し、コンデンサ C_{51} の端子電位を再び V_{11} まで充電する。なお、20は信号発生手段を示す。

【0023】第1の電流源18で発生する電流は、抵抗 R_{51} に比例し、第2の電流源19で発生する電流は、抵抗 VR_{51} に比例するので、第1実施例と同様に、抵抗 VR_{51} によって出力インデックス信号のタイミングを調整することができる。ここで、基準時間を決定する基準周波数信号は、前述したようにモータ8の所定の回転速度に比例しているから、基準時間も同様に所定回転速度に比例することになる。また、遅延時間は、ディスクの回転速度に反比例しているから、インデックス信号のタイミングは、ディスクの回転角度位置と等価になり、ディスク回転数を300rpmと360rpmで切り換えた場合でも、タイミング誤差が小さく、温度や経時変化に対して安定なタイミング調整を行なうことができる。

【0024】このように、この実施例では速度制御回路の一部を基準時間発生手段として用いているため、これらの部分を同じICチップ上に構成すれば、タイミング調整装置は、全体として小型に構成できる。なお、この実施例では速度制御回路をデジタルモノマルチ回路として説明したが、基準周波数信号とカウンタを備えた他の構成としてもよい。また、この実施例では基準時間で放電した後に充電するようにしたが、逆に基準時間に充電した後に放電する構成としてもよく、この充放電の際に時間差を設けるようにしてもよい。さらに、この実施例では基準時間の発生はFG信号に同期させるようにしたが、必ずしもこれにとらわれることなくFG信号と非同期であってもよい。

【0025】

【発明の効果】以上説明したように、本発明に係るタイミング調整装置によれば、出力インデックス信号の遅延時間は、基準時間と抵抗の比によって決り、コンデンサの値の影響を受けないから、例えばコンデンサの値が温度

9

変化等により変わっても、出力インデックス信号の有効な前縁のタイミングは変わらない。また、抵抗は経時変化も少ないので、インデックス信号のタイミングの変化が許容範囲を超えることなく、互換性が確保される。

【図面の簡単な説明】

【図1】本発明の第1実施例に係るタイミング調整装置のブロック構成図

【図2】本発明の第1実施例に係るタイミング調整装置の回路図

【図3】本発明の第1実施例に係るタイミング調整装置の動作を示すタイミングチャート

【図4】本発明の第2実施例に係るタイミング調整装置のブロック構成図

【図5】本発明の第2実施例に係るタイミング調整装置の動作を示すタイミングチャート

10

*【図6】基準時間発生手段の回路図

【図7】基準周波数信号発生手段の回路図

【図8】第1電流源、第2電流源および信号発生手段の回路図

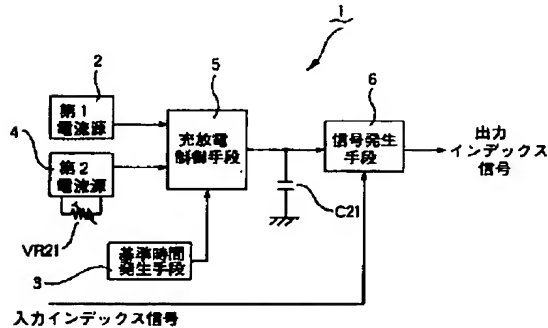
【図9】従来のタイミング調整装置の回路図

【図10】従来のタイミング調整装置の動作を示すフローチャート

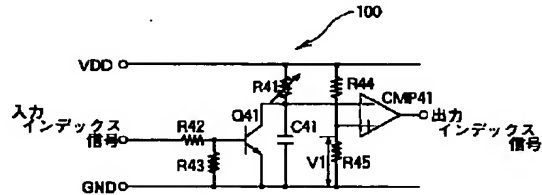
【符号の説明】

1…タイミング調整装置、2、18…第1の電流源、3、10…基準時間発生手段、4、19…第2の電流源、5、17…充放電制御手段、6、20…信号発生手段、7…駆動回路、8…モータ、9…速度制御回路、11…FG増幅整形回路、12…発振回路、13…分周比切換回路、14…基準周波数信号発生手段、15…デジタルモノマルチ回路、16…ローパスフィルタ。

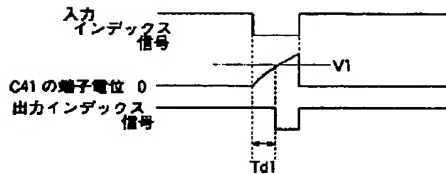
【図1】



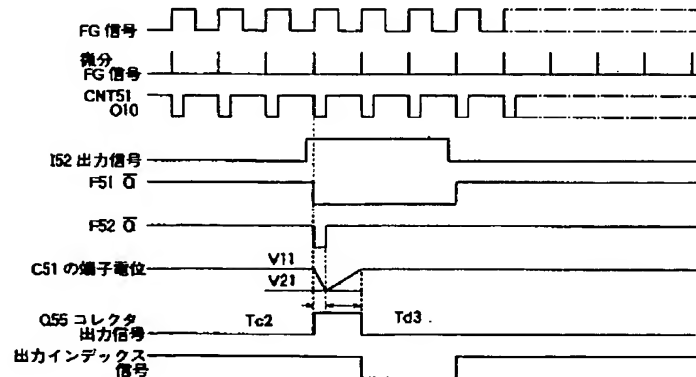
【図9】



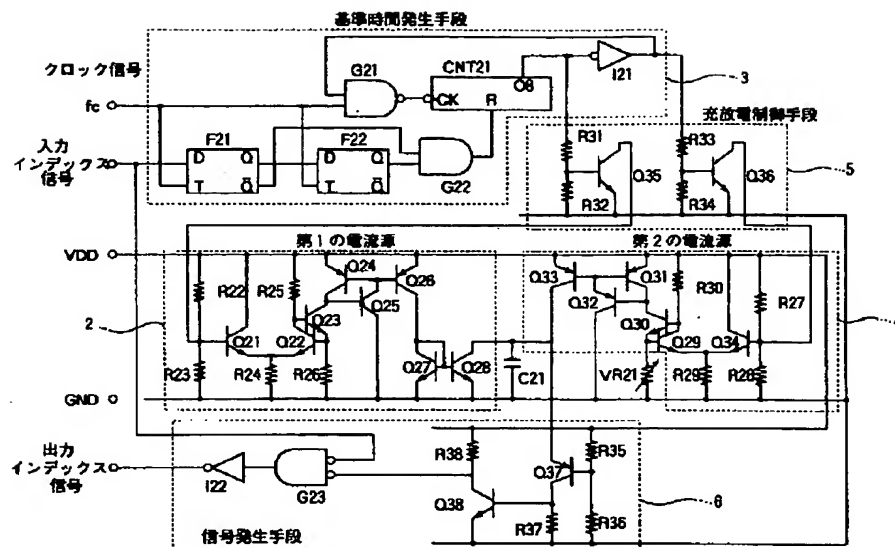
【図10】



【図5】



【図2】



【図3】

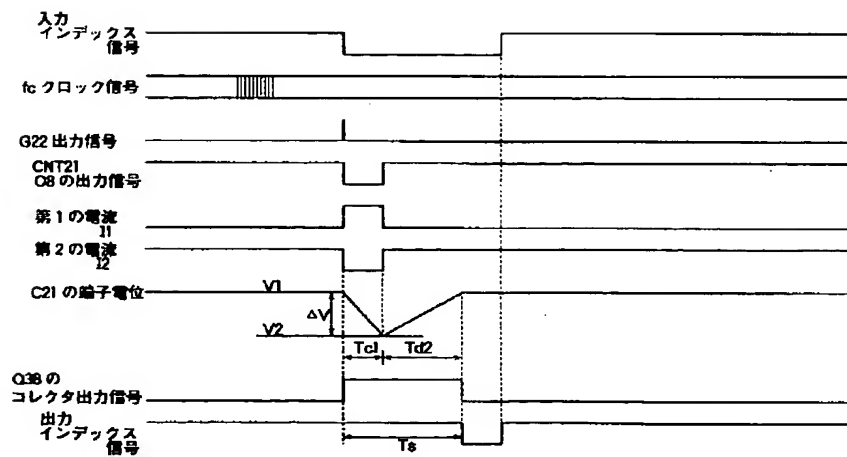


Figure 1 is a block diagram of a signal processing circuit. The circuit is divided into three main sections: "第1電流源" (1st Current Source) on the left, "第2電流源" (2nd Current Source) in the middle, and "信号発生手段" (Signal Generation Means) on the right. The 1st Current Source contains two op-amp-like blocks, A51 and A52, each with a feedback resistor R51 and an output transistor Q53. The 2nd Current Source contains two op-amp-like blocks, A51 and A52, each with a feedback resistor R51 and an output transistor Q54. The Signal Generation Means section includes a differential pair of transistors Q51 and Q52, a current source Q55, a capacitor C51, and a logic gate G51 followed by an inverter I51. The circuit is powered by VDD and GND. Various components are labeled with reference numerals: 18, 19, 20, F52, F51, and C51.

Figure 13 is a schematic diagram of the frequency division circuit. It includes a 153 input, a 12 frequency division circuit, and a 14 frequency division signal generation circuit. The 12 frequency division circuit consists of a 101 divider and a 102 divider. The 14 frequency division signal generation circuit includes a 101 divider, a 102 divider, and a 103 divider. The output of the 103 divider is the frequency division signal.

【図6】

